

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-139373

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 P	7323-5L		
1/32				
1/04	3 0 1 C	7165-5B		
		7165-5B		
			G 0 6 F 1/ 00	3 3 2 A

審査請求 未請求 請求項の数5(全 8 頁)

(21)出願番号 特願平4-311217

(22)出願日 平成4年(1992)10月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山田 信昭

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74)代理人 弁理士 徳若 光政

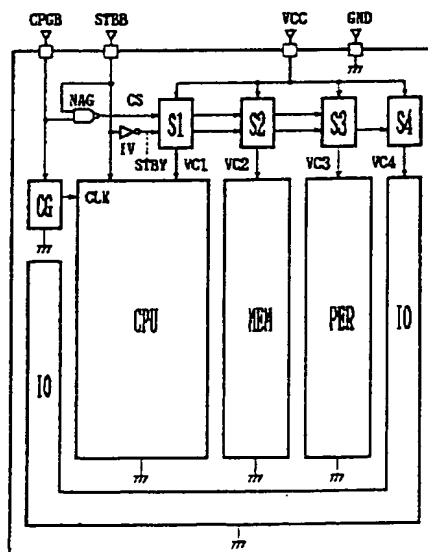
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 シングルチップマイクロコンピュータ等の低消費電力モードにおけるリーク電流を低減する。これにより、低消費電力モードを備えるシングルチップマシンサイクル等の製品歩留まりを高め、その信頼性を高める。

【構成】 シングルチップマイクロコンピュータ等の外部電源電圧供給端子VCCと中央処理ユニットモジュールCPU、メモリモジュールMEM、周辺デバイスモジュールPER及び入出力バッファモジュールIOとの間に、通常の動作モードにおいて外部電源電圧VCCをそのまま伝達し、低消費電力モードにおいて外部電源電圧VCCを所定の電位にクランプして伝達するスイッチ回路S1～S4を設け、各モジュールの電源電圧の絶対値を低消費電力モードにおいて選択的に小さくする。これにより、シングルチップマイクロコンピュータ等の通常の動作モードにおける性能を保持しつつ、低消費電力モードにおけるリーク電流を抑制し、製品出荷後におけるリーク障害の発生確率を抑制する。

図1 マイクロコンピュータブロック図



1

【特許請求の範囲】

【請求項1】 その消費電力が選択的に小さくされる低消費電力モードを備え、上記低消費電力モードにおいてその所定の内部回路に供給される電源電圧の絶対値が通常の動作モードでの上記内部回路に供給される電源電圧の絶対値に比較して小さくされることを特徴とする半導体装置。

【請求項2】 上記半導体装置は、所定の外部電源電圧が供給される電源電圧供給端子と上記内部回路との間に設けられ通常の動作モードにおいて上記外部電源電圧をそのまま上記内部回路に伝達し上記低消費電力モードにおいて上記外部電源電圧の電位をクランプして上記内部回路に伝達するスイッチ回路を具備するものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記内部回路は、外部とのインタフェース回路を含む第1のモジュールと、これを含まない第2のモジュールとを含むものであって、上記スイッチ回路は、上記第1のモジュールに対応して設けられる第1のスイッチ回路と、上記第2のモジュールに対応して設けられる第2のスイッチ回路とを含むものであることを特徴とする請求項1又は請求項2の半導体装置。

【請求項4】 上記半導体装置は、シングルチップマイクロコンピュータであって、上記低消費電力モードは、そのクロック信号の周波数を低くして上記シングルチップマイクロコンピュータを低速動作状態とする第1の低消費電力モードと、そのクロック信号を停止して上記シングルチップマイクロコンピュータを待機状態とする第2の低消費電力モードとを含むものであることを特徴とする請求項1、請求項2又は請求項3の半導体装置。

【請求項5】 上記第2のスイッチ回路は、上記第1の低消費電力モードにおいて、上記外部電源電圧を第1のレベルにクランプして上記第2のモジュールに伝達するものであり、上記第1及び第2のスイッチ回路は、上記第2の低消費電力モードにおいて、上記外部電源電圧をその絶対値が上記第1のレベルより小さな第2のレベルにクランプして対応する上記第1及び第2のモジュールにそれぞれ伝達するものであることを特徴とする請求項4の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置に関し、例えば、低消費電力モードを備えるシングルチップマイクロコンピュータに利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 低速動作モードやスタンバイモード等のいわゆる低消費電力モードを備えるシングルチップマイクロコンピュータがある。シングルチップマイクロコンピュータは、そのクロック信号の周波数が低くされることで低速動作モードとされ、そのクロック信号が停止さ

2

れることでスタンバイモードとされる。

【0003】 一方、シングルチップマイクロコンピュータ等について規定される製品仕様の一つとして、低消費電力モードにおけるリーク電流がある。このリーク電流は、特にシングルチップマイクロコンピュータ等がCMOS（相補型MOS）回路を基本に構成される場合において、MOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）の高温高バイアスストレス試験によるゲート酸化膜の破壊やPN逆接合耐圧低下等にもなうリーク障害を判定し、またバッテリーバックアップ時における電池の耐用時間の予測等に供される。

【0004】 低消費電力モードを備えるシングルチップマイクロコンピュータについては、例えば、1988年2月、株式会社日立製作所発行の『日立マイクロコンピュータ データブック 4ビットシングルチップ』第397頁ないし第401頁等に記載されている。

【0005】

【発明が解決しようとする課題】 上記のような低消費電力モードを備える従来のシングルチップマイクロコンピュータ等において、低消費電力モードにおける消費電力は、前述のように、クロック信号の周波数を選択的に低くし又は停止することによって選択的に小さくされる。このとき、シングルチップマイクロコンピュータの各内部回路に供給される電源電圧の電位は、通常の動作モードの場合と同様に、外部から供給される外部電源電圧すなわち例えば+5Vのままとされる。

【0006】 ところが、半導体集積回路の微細化・高集積化が進むにしたがって、上記従来のシングルチップマイクロコンピュータ等には次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、MOSFETのゲート酸化膜破壊つまりゲートピンホール等に起因するシングルチップマイクロコンピュータ等のリーク電流の大きさは、図7に例示されるように、その電源電圧の絶対値が大きくなるにしたがって指数関数的に増大する。このため、低消費電力モードにおいてもその電源電圧が+5Vのままとされる従来のシングルチップマイクロコンピュータ等では、比較的小さなゲートピンホールの発生によってリーク電流に関する規定を満たせなくなるとともに、出荷後におけるリーク障害の発生確率が高くなってしまふ。この結果、シングルチップマイクロコンピュータ等の製品歩留まりが低下し、その信頼性が低下するものである。なお、シングルチップマイクロコンピュータ等がバイポーラ回路からなる場合においても、トランジスタのベース長不足や不純物濃度不足による同様なリーク障害が発生する。

【0007】 この発明の目的は、低消費電力モードにおけるリーク電流を低減したシングルチップマイクロコンピュータ等の半導体装置を提供することにある。この発

50

3

明の他の目的は、低消費電力モードを備えるシングルチップマイクロコンピュータ等の製品歩留まりを高め、その信頼性を高めることにある。

【0008】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明かになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、低消費電力モードを備えるシングルチップマイクロコンピュータ等の外部電源電圧供給端子と内部回路との間に、通常の動作モードにおいて外部電源電圧をそのまま伝達し、低消費電力モードにおいて外部電源電圧を所定の電位にクランプして伝達するスイッチ回路を設け、内部回路の電源電圧の絶対値を低消費電力モードにおいて選択的に小さくする。

【0010】

【作用】上記手段によれば、シングルチップマイクロコンピュータ等の通常の動作モードにおける性能を保持しつつ、低消費電力モードにおけるリーク電流を抑制し、出荷後におけるリーク障害の発生確率を抑制することができる。この結果、低消費電力モードを備えるシングルチップマイクロコンピュータ等の製品歩留まりを高め、その信頼性を高めることができる。

【0011】

【実施例】図1には、この発明が適用されたシングルチップマイクロコンピュータの一実施例のブロック図が示されている。また、図2及び図6には、図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S1及びS4の一実施例の回路図がそれぞれ示され、図7には、図1のシングルチップマイクロコンピュータのリーク電流と電源電圧との関係を示す特性図が示されている。これらの図をもとに、この実施例のシングルチップマイクロコンピュータの構成及び動作の概要ならびにその特徴について説明する。なお、図2及び図6の各回路素子ならびに図1の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0012】図1において、この実施例のシングルチップマイクロコンピュータは、ストアプログラム方式の中央処理ユニットモジュールCPU（第2のモジュール）をその基本構成要素とする。この中央処理ユニットモジュールCPUには、特に制限されないが、外部端子STBBを介してスタンバイ信号STBB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付し

4

て表す。以下同様）が供給され、クロック発生部CGから所定のクロック信号CLKが供給される。クロック発生部CGには、外部端子CPGBを介してクロック制御信号CPGBが供給される。

【0013】中央処理ユニットモジュールCPUは、クロック発生部CGから供給されるクロック信号CLKに従って同期動作し、所定の論理演算処理を行うとともに、シングルチップマイクロコンピュータの各部を制御・統轄する。また、クロック発生部CGは、図示されない外部端子を介して水晶発振子に結合され、その固有振動数に相当する周波数のクロック信号CLKを形成する。この実施例において、クロック発生部CGは、クロック制御信号CPGBがロウレベルとされることによってクロック信号CLKの周波数を選択的に低くし、シングルチップマイクロコンピュータをいわゆる低速動作モードとする。また、中央処理ユニットモジュールCPUは、スタンバイ信号STBBがロウレベルとされることによってクロック信号CLKを実質的に停止し、シングルチップマイクロコンピュータをスタンバイモードとする。シングルチップマイクロコンピュータが低速動作モード又はスタンバイモードとされるとき、中央処理ユニットモジュールCPUを中心とするシングルチップマイクロコンピュータの動作はクロック周波数に応じて選択的に遅く又は停止される。この結果、シングルチップマイクロコンピュータは低消費電力モードとされ、その消費電力が選択的に小さくされる。

【0014】シングルチップマイクロコンピュータは、さらに、内部バスを介して中央処理ユニットモジュールCPUに結合されるメモリモジュールMEM（第2のモジュール）及び周辺デバイスモジュールPER（第2のモジュール）を備え、これらの内部回路と図示されない外部装置との間に設けられる入出力バッファモジュールIO（第1のモジュール）を備える。このうち、メモリモジュールMEMは、リードオンリーメモリ及びランダムアクセスメモリを含み、中央処理ユニットモジュールCPUの動作に必要なプログラムや演算データ等を格納する。また、周辺デバイスモジュールPERは、タイマー回路やシリアル入出力制御装置等を含み、中央処理ユニットモジュールCPUによる時間管理やシリアル入出力装置との間のデータ授受を制御する。一方、入出力バッファモジュールIOは、多数の入力バッファ及び出力バッファを含み、シングルチップマイクロコンピュータの各モジュールと外部装置との間のインタフェース回路となる。

【0015】この実施例において、シングルチップマイクロコンピュータには、電源電圧供給端子VCCを介して外部電源電圧VCCが供給され、接地電位供給端子GNDを介して接地電位GNDが供給される。また、シングルチップマイクロコンピュータは、上記電源電圧供給端子VCCと中央処理ユニットモジュールCPU、メモ

5

リモジュールMEM及び周辺デバイスモジュールPERとの間にそれぞれ設けられる3個のスイッチ回路S1～S3（第2のスイッチ回路）を備え、電源電圧供給端子VCCと入出力バッファモジュールIOとの間に設けられるもう1個のスイッチ回路S4（第1のスイッチ回路）を備える。このうち、3個のスイッチ回路S1～S3には、その一方の入力端子にスタンバイ信号STBBを受けその他方の入力端子にクロック制御信号CPGBを受けるナンド（NAND）ゲートNAGの出力信号すなわち内部信号CSが共通に供給され、すべてのスイッチ回路S1～S4には、スタンバイ信号STBBのインバータIVによる反転信号すなわち内部信号STBYが共通に供給される。

【0016】なお、スイッチ回路S1～S3は、すべて同一の回路構成とされ、外部電源電圧は、+5Vのような比較的絶対値の大きな正の電源電圧とされる。スイッチ回路S1～S4の出力電圧は、電源電圧VC1～VC4として対応する中央処理ユニットモジュールCPU、メモリモジュールMEM、周辺デバイスモジュールPER及び入出力バッファモジュールIOにそれぞれ供給される。

【0017】ここで、スイッチ回路S1～S3は、図2のスイッチ回路S1に代表して示されるように、電源電圧供給端子VCCと出力端子VC1等との間に設けられるPチャンネルMOSFETP1を含む。このMOSFETP1には、そのゲートが接地電位GNDに結合されるデプレッション型のNチャンネルMOSFETND1が並列形態に設けられ、さらにデプレッション型のNチャンネルMOSFETND2及びPチャンネルMOSFETP2からなる直列回路が並列形態に設けられる。MOSFETP1のゲートには、上記内部信号CSが供給される。また、MOSFETND2のゲートは接地電位GNDに結合され、MOSFETP2のゲートには上記内部信号STBYが供給される。

【0018】この実施例において、MOSFETP1及びP2は、そのオン抵抗が問題とならないような比較的大きなサイズをもって形成される。また、MOSFETND1は、そのチャンネルに所定量の不純物がイオン注入されることで、中央処理ユニットモジュールCPU等にスタンバイモード時のリーク電流が流される場合のソースドレイン電圧が例えば1.5Vに設定される。同様に、MOSFETND2は、そのチャンネルに所定量の不純物がイオン注入されることで、中央処理ユニットモジュールCPU等に低速動作モード時に必要な小さな動作電流が流される場合のソースドレイン電圧が例えば2.5Vに設定される。

【0019】一方、スイッチ回路S4は、図6に示されるように、電源電圧供給端子VCCと出力端子VC4との間に並列形態に設けられるPチャンネルMOSFETP3及びデプレッション型のNチャンネルMOSFET

6

ND3を含む。このうち、MOSFETP3のゲートには内部信号STBYが供給され、MOSFETND3のゲートは接地電位GNDに結合される。MOSFETP3は、そのオン抵抗が問題とならないような比較的大きなサイズをもって形成される。また、MOSFETND1は、そのチャンネルに所定量の不純物がイオン注入されることで、入出力バッファモジュールIOにスタンバイモード時のリーク電流が流される場合のソースドレイン電圧が例えば1.5Vに設定される。

【0020】クロック制御信号CPGB及びスタンバイ信号STBBがともにハイレベルとされるとき、クロック発生部CGでは、前述のように、クロック信号CLKの周波数が比較的高い所定の周波数とされ、シングルチップマイクロコンピュータは通常の動作モードとされる。このとき、ナンドゲートNAGの出力信号すなわち内部信号CSは、クロック制御信号CPGB及びスタンバイ信号STBBのハイレベルを受けてロウレベルとされ、内部信号STBYは、スタンバイ信号STBBのハイレベルを受けてロウレベルとされる。このため、スイッチ回路S1～S3では、MOSFETP1及びP2がそれぞれ内部信号CS及びSTBYのロウレベルを受けてオン状態とされ、スイッチ回路S4では、MOSFETP3が内部信号STBYのロウレベルを受けてオン状態とされる。

【0021】これらのことから、スイッチ回路S1～S4の出力端子VC1～VC4には、外部電源電圧VCCがそのまま伝達され、対応する中央処理ユニットモジュールCPU、メモリモジュールMEM、周辺デバイスモジュールPER及び入出力バッファモジュールIOには、+5Vのような比較的高い電位の動作電源がそれぞれ与えられる。これにより、各モジュールは高速動作し、シングルチップマイクロコンピュータはその高速性を保持しつつ通常の動作モードとされる。

【0022】次に、スタンバイ信号STBBがハイレベルのままクロック制御信号CPGBがロウレベルとされると、クロック発生部CGでは、クロック信号CLKの周波数が例えば通常の動作モードに比較して1/10ないし1/1000程度に低くされ、シングルチップマイクロコンピュータは低速動作モードとされる。このとき、内部信号CSはクロック制御信号CPGBのロウレベルを受けてハイレベルとされ、内部信号STBYはロウレベルのままとされる。このため、スイッチ回路S1～S3では、MOSFETP1が内部信号CSのハイレベルを受けてオフ状態とされ、MOSFETP2は内部信号STBYのロウレベルを受けてオン状態のままとされる。また、スイッチ回路S4では、MOSFETP3が内部信号STBYのロウレベルを受けてオン状態のままとされる。

【0023】これらのことから、スイッチ回路S1～S3の出力端子VC1～VC3には、外部電源電圧VCC

10

20

30

40

50

7

がMOSFETND2のソースドレイン電圧によってクランプされて伝達され、スイッチ回路S4の出力端子VC4には、外部電源電圧VCCがそのまま伝達される。これにより、中央処理ユニットモジュールCPU、メモリモジュールMEM及び周辺デバイスモジュールPERは、+2.5V（第1のレベル）のような比較的絶対値の小さな電源電圧VC1~VC3を動作電源として低速動作を行い、その消費電力は、低速動作されることもあって十分に小さくされる。また、入出力バッファモジュールIOは、+5Vの電源電圧VC4を動作電源として通常の高速動作を行い、これによって外部電源電圧VCCを動作電源とする外部装置とのインタフェース整合も実現される。

【0024】一方、クロック制御信号CPGBがハイレベルのままスタンバイ信号STBBがロウレベルとされると、中央処理ユニットモジュールCPUは、クロック信号CLKを実質的に停止し、シングルチップマイクロコンピュータはスタンバイモードとされる。このとき、内部信号CSはスタンバイ信号STBBのロウレベルを受けてハイレベルとされ、内部信号STBYもスタンバイ信号STBBのロウレベルを受けてハイレベルとされる。このため、スイッチ回路S1~S3では、MOSFETP1が内部信号CSのハイレベルを受けてオフ状態とされ、MOSFETP2も内部信号STBYのハイレベルを受けてオフ状態とされる。また、スイッチ回路S4では、MOSFETP3が内部信号STBYのハイレベルを受けてオフ状態とされる。

【0025】これらのことから、スイッチ回路S1~S3の出力端子VC1~VC3には、外部電源電圧VCCがMOSFETND1のソースドレイン電圧によってクランプされて伝達され、スイッチ回路S4の出力端子VC4には、外部電源電圧VCCがMOSFETND3のソースドレイン電圧によってクランプされて伝達される。これにより、中央処理ユニットモジュールCPU、メモリモジュールMEM及び周辺デバイスモジュールPERならびに入出力バッファモジュールIOは、+1.5V（第2のレベル）のようなさらに絶対値の小さな電源電圧VC1~VC4を動作電源として待機状態とされる。

【0026】ところで、CMOS回路を基本に構成されるシングルチップマイクロコンピュータでは、高温高バイアスストレス試験等にもなうゲート酸化膜の破壊や高温動作時のゲートサイズ不足あるいはPN逆接合耐圧低下又は寄生MOSFET等を原因とするリーク電流が流れ、その大きさは、図7に示されるように、電源電圧の絶対値が大きくなるにしたがって指数関数的に増大する。ところが、この実施例のシングルチップマイクロコンピュータでは、前述のように、通常の動作モードにおいては電源電圧の絶対値を5Vに保ちつつ、低速動作モード及びスタンバイモードにおける電源電圧の絶対値が

8

選択的に2.5V又は1.5Vに小さくされる。このため、通常の動作モードにおける性能を保持しつつ、低消費電力モードにおけるシングルチップマイクロコンピュータのリーク電流を抑制し、出荷後におけるリーク障害の発生確率を飛躍的に小さくすることができる。これらの結果、低消費電力モードを備えるシングルチップマイクロコンピュータの製品歩留まりを高め、その信頼性を高めることができるものとなる。

【0027】以上の本実施例に示されるように、この発明を低消費電力モードを備えるシングルチップマイクロコンピュータ等の半導体装置に適用することで、次のような作用効果が得られる。すなわち、

(1) 低消費電力モードを備えるシングルチップマイクロコンピュータ等の外部電源電圧供給端子と内部回路との間に、通常の動作モードにおいて外部電源電圧をそのまま伝達し、低消費電力モードにおいて外部電源電圧を所定の電位にクランプして伝達するスイッチ回路を設け、内部回路の電源電圧の絶対値を低消費電力モードにおいて選択的に小さくすることで、シングルチップマイクロコンピュータ等の通常の動作モードにおける性能を保持しつつ、低消費電力モードにおけるリーク電流を抑制できるという効果が得られる。

(2) 上記(1)項により、シングルチップマイクロコンピュータ等の出荷後におけるリーク障害の発生確率を抑制できるという効果が得られる。

(3) 上記(1)項及び(2)項により、低消費電力モードを備えるシングルチップマイクロコンピュータ等の製品歩留まりを高め、その信頼性を高めることができるという効果が得られる。

【0028】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、スイッチ回路S1~S4から出力される電源電圧VC1ないしVC4の低速動作モード及びスタンバイモードにおける電位は、任意に設定できる。また、MOSFETP1のオン抵抗が問題とならない場合、中央処理ユニットモジュールCPU、メモリモジュールMEM及び周辺デバイスモジュールPERに対応してそれぞれ設けられるスイッチ回路S1~S3を1個のスイッチ回路に集約することができる。シングルチップマイクロコンピュータは、外部電源電圧VCCを降圧して例えば+3.3Vのような内部電源電圧を形成する降圧回路を備えることができる。この場合、スイッチ回路を設けず、降圧回路から出力される内部電源電圧の電位をクロック制御信号CPGB及びスタンバイ信号STBBによって選択的に切り換える方法を採用することができる。シングルチップマイクロコンピュータは、低速動作モードを備えることを必須条件とはしないし、その他の低消費電力モードを備えることもできる。さらに、シン

9

グルチップマイクロコンピュータは、他の各種のモジュールを備えることができるし、そのブロック構成や外部電源電圧VCCの極性及び絶対値等、種々の実施形態を採ることができる。

【0029】図2において、MOSFETND1は、図3に示されるように、そのゲートに内部信号CSを受けるエンハンスメント型のNチャンネルMOSFETN1に置き換えることができるし、図4及び図5に示されるように、抵抗R1あるいはそのゲートに外部電源電圧VCCの抵抗R2及びR3による分圧電位を受けるエンハンスメント型のNチャンネルMOSFETN2に置き換えることもできる。図3の場合、MOSFETN1はスタンバイモードにおいて選択的にオン状態とされ、外部電源電圧VCCの電位をそのソースドレイン電圧分だけ低くして電源電圧VC1等とする。また、図4の場合、抵抗R1はスタンバイモードにおいて選択的に有効とされ、電源電圧VC1の電位をその抵抗値とスタンバイモード時のリーク電流との積に相当する分だけ低くする。一方、図5の場合、NチャンネルMOSFETN2はスタンバイモードにおいて選択的に有効とされ、電源電圧VC1の電位をそのゲート電位つまり $VCC \times R3 / (R2 + R3)$ よりそのしきい値電圧分だけ低い所定の電位にクランプする。なお、図3ないし図5の変形例は、MOSFETND2及びP2を削除することにより、スイッチ回路S4の変形例ともなりうる。スイッチ回路S1～S4の具体的構成ならびにMOSFETの導電型等は、これらの実施例による制約を受けない。

【0030】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば、シングルチップ化されないマイクロプロセッサや各種の論理集積回路装置等にも適用できる。この発明は、少なくとも低消費電力モードを備える半導体装置に広く適用できる。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、低消費電力モードを備えるシングルチップマイクロコンピュータ等の外部電源電圧供給端子と内部回路との間に、通常の動作モードにおいて外部電源電圧をそのまま伝達し、低消費電力モードに

10

において外部電源電圧を所定の電位にクランプして伝達するスイッチ回路を設け、内部回路の電源電圧の絶対値を低消費電力モードにおいて選択的に小さくすることで、シングルチップマイクロコンピュータ等の通常の動作モードにおける性能を保持しつつ、低消費電力モードにおけるリーク電流を抑制し、出荷後におけるリーク障害の発生確率を抑制することができる。この結果、低消費電力モードを備えるシングルチップマイクロコンピュータ等の製品歩留まりを高め、その信頼性を高めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたシングルチップマイクロコンピュータの一実施例を示すブロック図である。

【図2】図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S1の第1の実施例を示す回路図である。

【図3】図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S1の第2の実施例を示す回路図である。

【図4】図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S1の第3の実施例を示す回路図である。

【図5】図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S1の第4の実施例を示す回路図である。

【図6】図1のシングルチップマイクロコンピュータに含まれるスイッチ回路S4の一実施例を示す回路図である。

【図7】図1のシングルチップマイクロコンピュータのリーク電流と電源電圧との関係を示す特性図である。

【符号の説明】

CPU・・・中央処理ユニットモジュール、MEM・・・メモリモジュール、PER・・・周辺デバイスモジュール、IO・・・入出力バッファモジュール、CG・・・クロック発生部、S1～S4・・・スイッチ回路、NAND・・・ナンド(NAND)ゲート、IV・・・インバータ、P1～P3・・・PチャンネルMOSFET、N1～N2・・・エンハンスメント型NチャンネルMOSFET、ND1～ND3・・・デプレッション型NチャンネルMOSFET、R1～R3・・・抵抗。

【図1】

【図2】

【図3】

図1 マイクロコンピュータブロック図

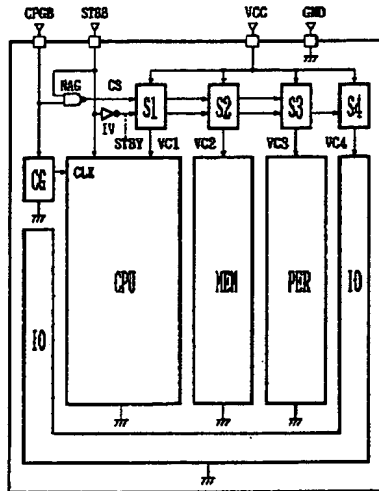


図2 スイッチ回路S1回路図 (実施例1)

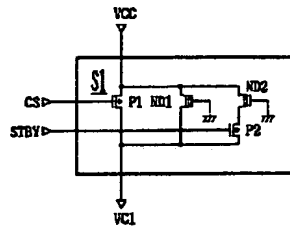
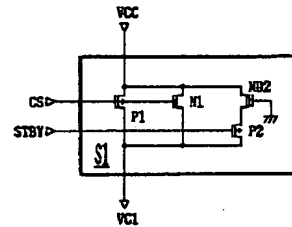
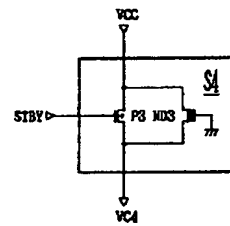


図3 スイッチ回路S1回路図 (実施例2)



【図6】

図6 スイッチ回路S4回路図



【図4】

【図5】

図4 スイッチ回路S1回路図 (実施例3)

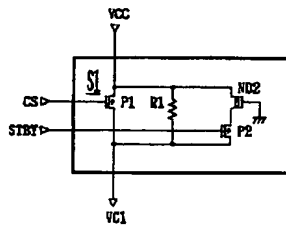
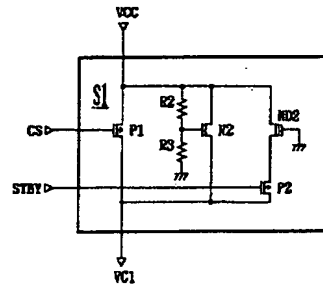


図5 スイッチ回路S1回路図 (実施例4)



【図 7】

図 7 リーク電流の対電源電圧特性

